

CLIPPEDIMAGE= JP02000200882A
PAT-NO: JP02000200882A
DOCUMENT-IDENTIFIER: JP 2000200882 A
TITLE: SEMICONDUCTOR DEVICE AND LAYOUT METHOD THEREFOR

PUBN-DATE: July 18, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
KANG, TAE-GYOUNG	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SAMSUNG ELECTRONICS CO LTD	N/A

APPL-NO: JP11142255
APPL-DATE: May 21, 1999

INT-CL_(IPC): H01L027/108; H01L021/8242

ABSTRACT:

PROBLEM TO BE SOLVED: To enhance reliability of a semiconductor memory by arranging the gate of transistors constituting a peripheral circuit at a constant interval using a dummy gate thereby minimizing fluctuation of process deviation, i.e. suppressing fluctuation in the threshold voltage of the transistor.

SOLUTION: The source of a transistor is arranged while being divided into three and the drain is arranged while being divided into two. L represents the length of the gate and the dummy gates DG1, DG2, DG3, DG4, DG5, DG6 of transistors P1, P2, P3, P4, N1, N2, N3. W2/2 represents the width of gate of PMOS transistors P1, P2, P3 and the NMOS transistors N3, N4, W1/2 represents the width of gate of NMOS transistors N1, N2, W3 represents the width of the dummy gates DG5, DG6, W4, W5 represent the width of the dummy gates DG1, DG4, and W4 represents the width of the dummy gates DG2, DG3. In this embodiment, the gates are arranged at a constant interval (a) in order to suppress fluctuation of process deviation.

COPYRIGHT: (C) 2000, JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-200882
(P2000-200882A)

(43)公開日 平成12年7月18日(2000.7.18)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/108 21/8242		H 0 1 L 27/10	6 8 1 Z 5 F 0 8 3

審査請求 未請求 請求項の数43 O L (全 12 頁)

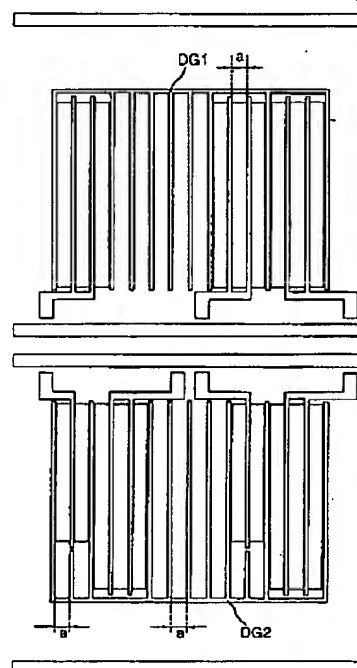
(21)出願番号	特願平11-142255	(71)出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅羅洞416
(22)出願日	平成11年5月21日(1999.5.21)	(72)発明者	康太京 大韓民国京畿道華城郡台案邑安寧里1-19 大光ビルD棟404号
(31)優先権主張番号	98-63134	(74)代理人	100076428 弁理士 大塚 康徳 (外1名)
(32)優先日	平成10年12月31日(1998.12.31)	Fターム(参考)	5F083 LA01 LA03 LA10 LA21 PR01 ZA28
(33)優先権主張国	韓国 (K R)		

(54)【発明の名称】 半導体装置のレイアウト方法及びその半導体装置

(57)【要約】

【課題】 トランジスタのゲートの間隔をダミーゲートを用いて同じ間隔で配置して工程偏差の変化を最小化し、工程偏差の変化が最小化されるに従いトランジスタのしきい電圧の変化を減らすことにより、半導体装置の信頼性を向上させることができる半導体装置のレイアウト方法及びその半導体装置を提供する。

【解決手段】 半導体基板内に形成された少なくとも1つの第1電極と第2電極を有する複数個のトランジスタのアクチブ領域を配置する段階と、前記複数個のトランジスタのアクチブ領域のそれぞれの少なくとも1つの第1電極と第2電極との間に位置し、前記半導体基板上に所定の幅と長さを有する1つ以上の実質的に同一間隔に分離された前記複数個のトランジスタのゲートを配置する段階と、前記複数個のトランジスタの間に、所定の幅と長さを有し、前記半導体基板上に前記複数個のトランジスタの分離されたゲートの間隔と実質的に同一間隔に配置された複数個のダミーゲートを配置する段階とを有する。



【特許請求の範囲】

【請求項1】 半導体基板内に形成された少なくとも1つの第1電極と第2電極を有する複数のトランジスタのアクチブ領域を配置する段階と、

前記複数のトランジスタのアクチブ領域のそれぞれの少なくとも1つの第1電極と第2電極との間に位置し、前記半導体基板上に所定の幅と長さを有する1つのほぼ同一間隔で分離された前記複数のトランジスタのゲートを配置する段階と、

前記複数のトランジスタの間に、所定の幅と長さを有し、前記半導体基板上に前記複数のトランジスタの分離されたゲートの間隔と実質的に同一間隔で配置される複数のダミーゲートを配置する段階とを有することを特徴とする半導体装置のレイアウト方法。

【請求項2】 前記ゲートの長さと前記ダミーゲートの長さは実質的に同一であることを特徴とする請求項1に記載の半導体装置のレイアウト方法。

【請求項3】 前記複数のトランジスタのそれぞれの少なくとも1つのゲートは、前記半導体基板上に共通連結された共通端子を有することを特徴とする請求項1に記載の半導体装置のレイアウト方法。

【請求項4】 前記複数のダミーゲートは所定数単位に共通連結されることを特徴とする請求項1に記載の半導体装置のレイアウト方法。

【請求項5】 メモリセルアレイ、及び前記メモリセルアレイへのデータ入出力を制御するための複数の回路ブロックからなる周辺回路を備えた半導体メモリ装置の、周辺回路の少なくとも1つの回路ブロックのレイアウト方法において、

半導体基板内に形成された少なくとも1つの第1電極と第2電極を有する複数のトランジスタのアクチブ領域を配置する段階と、

前記複数のトランジスタのアクチブ領域のそれぞれの少なくとも1つの第1電極と第2電極との間に位置し、前記半導体基板上に所定の幅と長さを有する少なくとも1つの実質的に同一間隔で分離された前記複数のトランジスタのゲートを配置する段階と、

前記複数のトランジスタの間に、所定の幅と長さを有し、前記半導体基板上に前記複数のトランジスタの分離されたゲートの間隔と実質的に同一間隔で配置される複数のダミーゲートを配置する段階とを有することを特徴とする半導体メモリ装置の周辺回路のレイアウト方法。

【請求項6】 前記ダミーゲートは、前記複数のトランジスタのそれぞれの分離されたゲートの幅が異なる場合は、前記分離されたゲートのうち一番大きい幅を有するゲートの幅と一致されるように所定の幅を有することを特徴とする請求項5に記載の半導体メモリ装置の周辺回路のレイアウト方法。

【請求項7】 前記ゲートの長さと前記ダミーゲートの

長さは実質的に同じであることを特徴とする請求項5に記載の半導体メモリ装置の周辺回路のレイアウト方法。

【請求項8】 前記複数のトランジスタのそれぞれの少なくとも1つのゲートは前記半導体基板上に共通連結された共通端子を有することを特徴とする請求項5に記載の半導体メモリ装置の周辺回路のレイアウト方法。

【請求項9】 前記複数のダミーゲートは所定数単位に共通連結されていることを特徴とする請求項5に記載の半導体メモリ装置の周辺回路のレイアウト方法。

【請求項10】 第1入力データと第2入力データが印加されるデータ入力トランジスタ、及び制御信号が印加される1つ以上の制御信号入力トランジスタを具備して、前記第1入力データと前記第2入力データとの差を増幅させて出力するセンス増幅器を有する半導体メモリ装置のセンス増幅器のレイアウト方法において、

半導体基板内に形成された少なくとも1つの第1電極と第2電極を有する前記データ及び制御信号入力トランジスタのアクチブ領域を配置する段階と、

前記複数のトランジスタの各アクチブ領域の少なくとも1つの第1電極と第2電極との間に位置し、半導体基板上に所定の幅と長さを有して形成された少なくとも1つの実質的に同じ間隔で分離された前記データ及び制御信号入力トランジスタのゲートを配置する段階と、

前記データ及び制御信号入力トランジスタの間に、所定の幅と長さを有して、前記半導体基板上に前記データ及び制御信号入力トランジスタの分離されたゲートの間隔と同じ間隔で配置される所定数のダミーゲートを配置する段階とを有することを特徴とする半導体メモリ装置のセンス増幅器のレイアウト方法。

【請求項11】 前記ダミーゲートは、前記データ及び制御信号入力トランジスタのそれぞれの分離されたゲートの幅が異なる場合、前記分離されたゲートのうち一番大きい幅を有するゲートの幅と一致されるように所定の幅を有することを特徴とする請求項10に記載の半導体メモリ装置のセンス増幅器のレイアウト方法。

【請求項12】 前記ゲートの長さと前記ダミーゲートの長さは実質的に同一であることを特徴とする請求項10に記載の半導体メモリ装置のセンス増幅器のレイアウト方法。

【請求項13】 前記データ及び制御信号入力トランジスタのそれぞれの少なくとも1つのゲートは前記半導体基板上に共通連結された共通端子を有することを特徴とする請求項10に記載の半導体メモリ装置のセンス増幅器のレイアウト方法。

【請求項14】 前記複数のダミーゲートは所定数単位に共通連結されていることを特徴とする請求項10に記載の半導体メモリ装置のセンス増幅器のレイアウト方法。

【請求項15】 半導体基板内に形成された少なくとも1つの第1電極と第2電極を有する複数のトランジスタ

タのアクチブ領域を配置する段階と、前記複数個のトランジスタのアクチブ領域のそれぞれの少なくとも1つの第1電極と第2電極の間に位置し、前記半導体基板上に所定の幅と長さを有する少なくとも1つの実質的に同じ間隔で分離された前記複数個のトランジスタのゲートを配置する段階と、複数個のトランジスタの間及び外部に、所定の幅と長さを有して、前記半導体基板上に前記複数個のトランジスタの分離されたゲートの間隔と同じ間隔で配置される複数個のダミーゲートを配置する段階とを有することを特徴とする半導体装置のレイアウト方法。

【請求項16】 前記ゲートの長さと前記ダミーゲートの長さは実質的に同一であることを特徴とする請求項15に記載の半導体装置のレイアウト方法。

【請求項17】 前記複数個のトランジスタのそれぞれの少なくとも1つのゲートは前記半導体基板上に共通連結された共通端子を有することを特徴とする請求項15に記載の半導体装置のレイアウト方法。

【請求項18】 前記複数個のダミーゲートは所定数単位に共通連結されていることを特徴とする請求項15に記載の半導体装置のレイアウト方法。

【請求項19】 メモリセルアレイ、及び前記メモリセルアレイへのデータ入出力を制御するための複数個の回路ブロックからなる周辺回路を具備した半導体メモリ装置の、周辺回路の少なくとも1つの回路ブロックのレイアウト方法において、

半導体基板内に形成された少なくとも1つの第1電極と第2電極を有する複数個のトランジスタのアクチブ領域を配置する段階と、

前記複数個のトランジスタのアクチブ領域のそれぞれの少なくとも1つの第1電極と第2電極との間に位置し、前記半導体基板上に所定の幅と長さを有する少なくとも1つの実質的に同一間隔で分離された前記複数個のトランジスタのゲートを配置する段階と、

前記複数個のトランジスタの間に、所定の幅と長さを有し、前記半導体基板上に前記複数個のトランジスタの分離されたゲートの間隔と同じ間隔で配置される複数個のダミーゲートを配置する段階とを有することを特徴とする半導体メモリ装置のレイアウト方法。

【請求項20】 前記ダミーゲートは、前記複数個のトランジスタのそれぞれの分離されたゲートの幅が相互異なった場合、前記分離されたゲートのうち一番大きい幅を有するゲートの幅と一致されるように所定の幅を有することを特徴とする請求項19に記載の半導体メモリ装置のレイアウト方法。

【請求項21】 前記ゲートの長さと前記ダミーゲートの長さは実質的に同一であることを特徴とする請求項19に記載の半導体メモリ装置のレイアウト方法。

【請求項22】 前記複数個のトランジスタのそれぞれの少なくとも1つのゲートは前記半導体基板上に共通連

結された共通端子を有することを特徴とする請求項19に記載の半導体メモリ装置のレイアウト方法。

【請求項23】 前記複数個のダミーゲートは所定数単位に共通連結されていることを特徴とする請求項19に記載の半導体メモリ装置のレイアウト方法。

【請求項24】 第1入力データと第2入力データが印加されるデータ入力トランジスタ、及び制御信号が印加される1つ以上の制御信号入力トランジスタを具備して、前記第1入力データと前記第2入力データとの差を増幅させて出力するためのセンス増幅器を備えた半導体メモリ装置のセンス増幅器のレイアウト方法において、半導体基板内に形成された少なくとも1つの第1電極と第2電極を有する前記データ及び制御信号入力トランジスタのアクチブ領域を配置する段階と、

前記複数個のトランジスタのアクチブ領域のそれぞれの少なくとも1つの第1電極と第2電極の間に位置し、半導体基板上に所定の幅と長さを有して形成された少なくとも1つの実質的に同一間隔で分離された前記データ及び制御信号入力トランジスタのゲートを配置する段階と、

前記データと制御信号入力トランジスタの間に、所定の幅及び長さを有して、前記半導体基板上に前記データ及び制御信号入力トランジスタの分離されたゲートの間隔と同じ間隔で配置される所定数のダミーゲートを配置する段階とを有することを特徴とする半導体メモリ装置のセンス増幅器のレイアウト方法。

【請求項25】 前記ダミーゲートは、前記データ及び制御信号入力トランジスタのそれぞれの分離されたゲートの幅が相異なる場合、前記分離されたゲートのうち一番大きい幅を有したゲートの幅と一致されるように所定の幅を有することを特徴とする請求項24に記載の半導体メモリ装置のセンス増幅器のレイアウト方法。

【請求項26】 前記ゲートの長さと前記ダミーゲートの長さは実質的に同一であることを特徴とする請求項24に記載の半導体メモリ装置のセンス増幅器のレイアウト方法。

【請求項27】 前記データ及び制御信号入力トランジスタのそれぞれの少なくとも1つのゲートは前記半導体基板上に共通連結された共通端子を有することを特徴とする請求項24に記載の半導体メモリ装置のセンス増幅器のレイアウト方法。

【請求項28】 前記複数個のダミーゲートは所定数単位に共通連結されていることを特徴とする請求項24に記載の半導体メモリ装置のセンス増幅器のレイアウト方法。

【請求項29】 半導体基板と、前記半導体基板内に形成された少なくとも1つの第1電極と第2電極を有する複数個のトランジスタのアクチブ領域と、

前記複数個のトランジスタのアクチブ領域のそれぞれの

1つ以上の第1電極と第2電極との間に形成され、前記半導体基板上に所定の幅と長さを有する少なくとも1つの実質的に同じ間隔で分離された前記複数個のトランジスタのゲートと、

前記複数個のトランジスタの間に、所定の幅と長さを有して、前記半導体基板上に前記複数個のトランジスタの分離されたゲートの間隔と同じ間隔で形成された複数個のダミーゲートとを備えたことを特徴とする半導体装置。

【請求項30】 前記ゲートの長さと前記ダミーゲートの長さは実質的に同一であることを特徴とする請求項29に記載の半導体装置。

【請求項31】 前記複数個のトランジスタのそれぞれの少なくとも1つのゲートは、前記半導体基板上に共通連結された共通端子を有することを特徴とする請求項29に記載の半導体装置。

【請求項32】 前記複数個のダミーゲートは所定数単位に共通連結されていることを特徴とする請求項29に記載の半導体装置。

【請求項33】 半導体基板と、
前記半導体基板内に形成された少なくとも1つの第1電極と第2電極を有する複数個のトランジスタのアクティブ領域と、

前記複数個のトランジスタのアクティブ領域のそれぞれの少なくとも1つの第1電極と第2電極の間に形成され、前記半導体基板上に所定の幅と長さを有する少なくとも1つの同じ間隔で分離された前記複数個のトランジスタのゲートと、

前記複数個のトランジスタの間及び外部に、所定の幅と長さを有して、前記半導体基板上に前記複数個のトランジスタの分離されたゲートの間隔と同じ間隔で形成された複数個のダミーゲートとを備えたことを特徴とする半導体装置。

【請求項34】 前記ゲートの長さと前記ダミーゲートの長さは実質的に同一であることを特徴とする請求項33に記載の半導体装置。

【請求項35】 前記複数個のトランジスタのそれぞれの少なくとも1つのゲートは前記半導体基板上に共通連結された共通端子を有することを特徴とする請求項33に記載の半導体装置。

【請求項36】 前記複数個のダミーゲートは所定数単位に共通連結されていることを特徴とする請求項33に記載の半導体装置。

【請求項37】 半導体基板と、
前記半導体基板内に形成された少なくとも1つの第1電極と第2電極を有する複数個のトランジスタのアクティブ領域と、

前記複数個のトランジスタのアクティブ領域のそれぞれの少なくとも1つの第1電極と第2電極の間に形成され、前記半導体基板上に所定の幅と長さを有する少なくとも

1つの同じ間隔で分離された前記複数個のトランジスタのゲートと、

前記複数個のトランジスタの外部に、所定の幅と長さを有して、前記半導体基板上に前記複数個のトランジスタの分離されたゲートの間隔と同じ間隔で形成された複数個のダミーゲートとを備えたことを特徴とする半導体装置。

【請求項38】 前記ゲートの長さと前記ダミーゲートの長さは実質的に同一であることを特徴とする請求項37に記載の半導体装置。

【請求項39】 前記複数個のトランジスタのそれぞれの少なくとも1つのゲートは前記半導体基板上に共通連結された共通端子を有することを特徴とする請求項37に記載の半導体装置。

【請求項40】 前記複数個のダミーゲートは所定数単位に共通連結されていることを特徴とする請求項37に記載の半導体装置。

【請求項41】 半導体基板の表面上に形成され第1方向に伸張する複数個のゲート電極層と、

20 ソース/ドレイン領域として作用するために各ゲート電極層の下部の前記表面上のチャンネル領域の両側と接する拡散領域と、

前記表面上の前記ゲート電極層の間に形成され前記第1方向に伸張する複数個のダミーゲート電極層とを備え、前記電極層の間隔が実質的に同一であることを特徴とする半導体装置。

【請求項42】 前記ゲートの長さと前記ダミーゲートの長さは実質的に同一であることを特徴とする請求項41に記載の半導体装置。

30 【請求項43】 前記複数個のダミーゲート電極層は所定数単位に共通連結されていることを特徴とする請求項41に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置のレイアウト方法及びその半導体装置に係るもので、特にフォトリソ工程とエッチング工程で発生する工程偏差の変化を減らし得る半導体装置のレイアウト方法及びその半導体装置に関する。

40 【0002】

【従来の技術】半導体装置が採用されたシステムの性能向上のためには、半導体装置の高速化及び高集積化が要求されている。このような半導体装置の高速化及び高集積化に従い、そのレイアウト方法は回路設計及び工程技術と共にその重要性が増しつつある。

【0003】図11は、一般の半導体メモリ装置のレイアウト例を示すブロック図であって、メモリセルアレイブロック30-1, 30-2, ..., 30-n、ブロック行デコーダ32-1, 32-2, ..., 32-n、ビットラインプリチャージ回路34、ブロックセレクト36、列選択ゲート38、センス増幅器/

ライトドライバ40、列デコーダ42、広域行デコーダ44、列アドレス入力バッファ46、データ入出力バッファ48、制御信号入力バッファ50、及び行アドレス入力バッファ52からなっている。

【0004】即ち、半導体メモリ装置のレイアウトは、大きく、メモリセルアレイ30と、メモリセルアレイ30へのデータ入出力を制御するための回路からなる周辺回路とに分けられる。

【0005】図12は、一般のセンス増幅器の構成を示す回路図であって、PMOSトランジスタP1、P2、P3、及びNMOSトランジスタN1、N2、N3、N4からなっている。

【0006】図13乃至図18は、従来のレイアウト方法による図12のセンス増幅器のレイアウトを示す。

【0007】図13は、センス増幅器を構成するトランジスタのソース、ドレイン、及びゲートの配置を示す。

【0008】図13において、PMOSトランジスタP1、P2、P3のソースはP1S、P2S、P3Sで、ドレインはP1D、P2D、P3Dで、ゲートはP1G、P2G、P3Gでそれぞれ示し、NMOSトランジスタN1、N2、N3のソースはN1S、N2S、N3Sで、ドレインはN1D、N2D、N3Dで、ゲートはN1G、N2G、N3Gでそれぞれ示す。60、66はバイアスラインを示し、62、64は電源ラインをそれぞれ示す。そして、W1、W2はトランジスタの幅を示し、Lはトランジスタの長さを示す。

【0009】まず、PMOSトランジスタP1、P2、P3及びNMOSトランジスタN3、N4のゲートは、1つの共通端子から2つに分離されて配置されている。従って、これらのトランジスタのソースも2つに分離されて配置されている。そして、NMOSトランジスタN1、N2のゲートの幅W1がPMOSトランジスタP1、P2、P3及びNMOSトランジスタN3、N4のゲートの幅W2よりも小さく、PMOSトランジスタP1、P2、P3、P4及びNMOSトランジスタN1、N2、N3のゲートの長さLは全てが同様である。

【0010】即ち、図13に示したように、従来のレイアウト方法は、1つのトランジスタを構成する分離されたゲート間の間隔aは全てが同様であるが、それぞれのトランジスタのゲート間の間隔b、c、dが不規則的に配列されているので、フォト工程での光の反射とエッチング工程での不均一性の問題のために工程偏差の変化が増加する。

【0011】図14は、図13に示したレイアウトにコンタクトを形成したものであり、PMOSトランジスタP1、P2、P3及びNMOSトランジスタN1、N2、N3のソース、ドレイン、ゲート共通端子、電源ライン、及びバイアスラインにコンタクトを形成したものを示す。図14で、四角で表示した部分70がコンタクト形成部分になる。

【0012】図15は、図14に示したコンタクトにメタルを形成したものであり、コンタクトされた部分70と電源ライン60、66に全体的にメタルME1を形成したものを示す。図15において、斜線の引いた部分がメタルを形成する部分になる。

【0013】図16は、図15に形成されたメタルにコンタクトを形成したものを示し、図16で濃い色の四角で表示した部分72がコンタクト形成部分になる。

【0014】図17は、図16にコンタクトメタルラインを形成したものであり、斜線の引いた部分ME2がメタル形成部分になる。即ち、図12に示したセンス増幅器のトランジスタのゲート、ドレイン、及びソースをメタルで連結したものである。図12で、メタルライン74は制御信号CONの印加ラインを、メタルライン76は入力信号Dの印加ラインを、メタルライン78は入力信号DBの印加ラインを、メタルライン80はPMOSトランジスタP1及びNMOSトランジスタN1、N2のゲート連結ラインをそれぞれ示す。

【0015】図18は、図17に示したメタルラインME2に電源電圧と接地電圧を印加するためのメタルME3を示すものであり、網点で表示した部分がメタルME3の形成される部分になり、格子形に表示された部分82はビアコンタクトを示すものであり、この部分とメタルME3が連結されて電源電圧と接地電圧が印加される。

【0016】図13を見れば、従来の半導体メモリ装置のレイアウト方法上の問題点は分かるが、ここに図16乃至図18を示したのは、図12に示したセンス増幅器のレイアウトを概略的に示すためである。

【0017】

【発明が解決しようとする課題】ところが、従来の半導体装置の工程技術中、フォト工程における光の反射とエッチング工程における不均一性に起因して、トランジスタのゲートの工程偏差の変化が誘発される。

【0018】工程偏差とは、フォト工程の後にゲートの長さの変化を測定した値をいう。そこで、工程偏差が変化すると、トランジスタのしきい電圧が変化し、このようなしきい電圧の変化のためトランジスタが設計者が設計した通りの動作を行うことができなくなる。

【0019】そこで、半導体装置の製造の際にこれら工程上で発生される工程偏差の変化を最小化するための工夫が続けられている。

【0020】図9は、半導体工程中、フォト工程における問題点を説明するための図であって、シリコン10、二酸化ケイ素12、アルミニウム14、フォトレジスト16、透明ガラス18、及び不透明膜20をそれぞれ示す。

【0021】図9に示したように、アルミニウム14上がフォトレジスト16で覆われた状態で、フォト工程を行ったときに、アルミニウム14は光をほとんど吸収せずに反射する。ところが、アルミニウム14が傾斜角 θ を有して蒸着されている場合は、傾斜面での光の反射のために所望のパターンを形成することができなくなる。

【0022】然るに、従来の半導体装置のレイアウト方法は、ゲートの間隔が不規則的に配列されているため、図9に示した傾斜角 θ が一定せず、傾斜角 θ に従い光りの反射角が異なって、形成されたゲート間に工程偏差の

変化が起こるようになる。

【0023】図10は、半導体工程中のエッチング工程上での問題点を説明するためのものであって、シリコン10、酸化ケイ素12、及びフォトレジスタ16をそれぞれ示す。

【0024】図10に示すように、酸化膜蝕刻は円状に広がってシリコン10が現れるまで続く。即ち、円の形状が大きくなるほど、フォトレジスタ16のアンダカットが甚だしくなる。アンダカットの起こされる範囲はフォトレジスタ16が除去されるまでは分からないので、酸化膜

10

パターンのエッジ部の形状(図10の点線で示した形状)はアンダカットの程度を示す良い尺度になる。即ち、エッチング工程上での不均一性のために工程偏差の変化が発生する。

【0025】即ち、従来の半導体装置のレイアウト方法は、半導体装置を構成するトランジスタのゲートの間隔が不規則に配列されているので、フォト工程で光の反射によりこれらゲート間の工程偏差の変化が増加され、

又、エッチング工程でエッチングの不均一性によっても工程偏差の変化が増加される。

【0026】又、従来の半導体メモリ装置の周辺回路のレイアウト方法においても、一般の半導体装置のレイアウト方法と同様な方法によるため、フォト工程とエッチング工程とにおける工程偏差の変化が増加する。

【0027】特に、従来の半導体メモリ装置のセンス増幅器は、入力信号の微小な電圧差を増幅して出力する回路であり、しきい電圧の変化に敏感な回路である。従って、これらのセンス増幅器を構成するトランジスタのしきい電圧のミスマッチを除去することは相当に重要である。しかし、従来のセンス増幅器のレイアウト方法にお

30

いても一般の半導体装置のレイアウト方法と同様な方法によるので、フォト工程とエッチング工程で工程偏差の変化が増加する。

【0028】即ち、フォト工程上で発生された工程偏差の変化にエッチング工程で発生された工程偏差の変化が加えられて、工程偏差の変化が一層増加するという問題点があった。

【0029】上述のようなフォト工程とエッチング工程上の問題はよく知られた問題点で、このような工程上での問題のために発生されるゲート間の工程偏差の変化はトランジスタのしきい電圧の変化を招来するため、この変化を最小化する必要がある。

【0030】本発明の目的は、フォト工程とエッチング工程で発生する工程偏差の変化を最小化できる半導体装置のレイアウト方法を提供することにある。

【0031】本発明の他の目的は、フォト工程とエッチング工程で発生する工程偏差の変化を最小化できる半導体メモリ装置の周辺回路のレイアウト方法を提供することにある。

【0032】本発明の又他の目的は、フォト工程とエ

50

ッチング工程で発生する工程偏差の変化を最小化して、センス増幅器を構成するトランジスタのしきい電圧のミスマッチを減らし得る半導体メモリ装置のセンス増幅器のレイアウト方法を提供することにある。

【0033】

【課題を解決するための手段】前記目的を達成するため本発明に係る半導体装置のレイアウト方法は、半導体基板内に形成された少なくとも1つの第1電極と第2電極を有する複数のトランジスタのアクチブ領域を配置する段階と、前記複数の各アクチブ領域の少なくとも1つの第1電極と第2電極との間に位置し前記半導体基板上に所定の幅と長さを有する少なくとも1つの同一間隔で分離された前記複数のトランジスタのゲートを配置する段階と、前記複数のトランジスタの間、又は間及び外部に、所定の幅と長さを有して、前記半導体基板上に前記複数のトランジスタの分離されたゲートの間隔と同様な間隔で配置された複数のダミーゲートを配置する段階とを備えたことを特徴とする。

【0034】前記他の目的を達成するための本発明に係る半導体メモリ装置の周辺回路のレイアウト方法は、前記半導体装置のレイアウト方法に従い配置することを特徴とする。

【0035】前記又他の目的を達成するための本発明に係る半導体メモリ装置のセンス増幅器のレイアウト方法は、前記半導体装置のレイアウト方法に従いセンス増幅器を構成するデータ入力及び制御信号入力トランジスタを配置することを特徴とする。

【0036】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0037】図1は、本発明に係るレイアウト方法による一レイアウト例を示し、図13に示したレイアウトに対し、分離されたゲートの間隔aと同一の間隔aを有するダミーゲートDG1、DG2を、センス増幅器を構成するトランジスタのゲート間に配置して、構成されている。

【0038】図1において、ダミーゲートDG1、DG2の共通ラインが1つに連結されているが、これらの共通ラインは適切に分離して構成することもできる。

【0039】このように形成されたダミーゲートは、センス増幅器の回路動作には影響を与えない。

【0040】図1に示したゲート形成以降のレイアウトは、図14乃至図18に示した従来のレイアウト方法に従い配置されてもよいし、別の方法により配置してもよい。

【0041】即ち、図1に示した本発明のセンス増幅器のレイアウト方法は、実際の動作のために形成されたゲートと同じ間隔のダミーゲートを、実際の動作のために形成されたゲートの間及び外部に配置して構成されている。

【0042】従って、半導体製造工程中にフォト工程と

エッチング工程で発生する工程偏差の変化を最小化できる。

【0043】図2乃至図7は、本発明に係るレイアウト方法による図12に示したセンス増幅器の他の実施例のレイアウト方法を説明する図である。

【0044】図2は、センス増幅器を構成するトランジスタのソース、ドレイン、及びゲートの配置を示す。

【0045】図2において、PMOSトランジスタP1、P2、P3のソースはP1S、P2S、P3Sで、ドレインはP1D、P2D、P3Dで、ゲートはP1G、P2G、P3Gでそれぞれ示し、NMOSトランジスタN1、N2、N3のソースはN1S、N2S、N3Sで、ドレインはN1D、N2D、N3Dで、ゲートはN1G、N2G、N3Gでそれぞれ示し、60、66はバイアスラインを、62、64は電源ラインを示す。そして、DG1、DG2、DG3、DG4、DG5、DG6は各トランジスタの間と外部に、分離されたゲート間の間隔aと同じ間隔で形成されたダミーゲートをそれぞれ示す。

【0046】まず、PMOSトランジスタP1、P2、P3及びNMOSトランジスタN3、N4のゲートは、1つの共通端子から4個に分離されて配置されている。従って、これらのトランジスタのソースは3個に分離され、ドレインは2個に分離されて配置されている。そして、LはトランジスタP1、P2、P3、P4、N1、N2、N3のゲート及びダミーゲートDG1、DG2、DG3、DG4、DG5、DG6の長さを、 $W2/2$ はPMOSトランジスタP1、P2、P3及びNMOSトランジスタN3、N4のゲートの幅を、 $W1/2$ はNMOSトランジスタN1、N2のゲートの幅を、 $W3$ はダミーゲートDG5、DG6の幅を、 $W4$ 、 $W5$ はダミーゲートDG1、DG4の幅を、 $W4$ はダミーゲートDG2、DG3の幅をそれぞれ示す。このとき、 $W3$ と $W4$ は $W7$ と $W8$ の幅内で流動的とすることができる。

【0047】即ち、図1に示したように、1つのトランジスタを構成する分離されたゲート間の間隔aと各トランジスタ間の間隔aが全て同様である。

【0048】図1のレイアウトは図13に示したレイアウトにダミーゲートDG1、DG2、DG3、DG4、DG5、DG6を追加して配置したことが相異している。

【0049】図2では1つのゲートが4個に分離される例を示したが、1つのゲートは4個以上に分離されて配置されてもかまわない。

【0050】本実施の形態では、工程偏差の変化を減らすために、図2に示したようにゲートを同一な間隔aで配置して構成している。

【0051】図3は、図2に示したレイアウトにコンタクトを形成した状態を示すものであって、PMOSトランジスタP1、P2、P3及びNMOSトランジスタN1、N2、N3のソース、ドレイン、及びゲートの共通点とバイアスラインにコンタクトを形成したものを示す。図3で、四角形で表示した部分90がコンタクト形成部分になる。

【0052】図4は、図3に形成されたコンタクトにメタルを形成したもので、コンタクトになる部分とバイアスライン60、66に全体的にメタルを形成したものを示す。

す。図4で、斜線の引いた部分ME1がメタルを形成した部分になる。

【0053】図5は、図4に形成されたメタルME1にコンタクトを形成したものを示し、濃い色の四角形に表示した部分92がコンタクト形成部分になる。

【0054】図6は、図5に示したコンタクトにメタルラインを形成したものを示し、斜線の引いた部分ME2がメタル形成部分になる。即ち、図12に示したセンス増幅器のトランジスタ間をメタルラインに連結したものである。そして、メタルライン94は制御信号CONの印加ラインを、メタルライン96はデータDの入力ラインを、メタルライン98はデータDBの入力ラインを、メタルライン100は出力信号OUTの発生ラインをそれぞれ示す。

【0055】図7は、電源電圧印加ライン102と接地電圧印加ライン104をそれぞれ示す。

【0056】図2には、本発明に係るセンス増幅器のレイアウト方法が図示されているが、図3乃至図7のレイアウトは別の方法により配置されてもかまわない。ここで、図3乃至図7を示した理由は、本発明の方法によってゲートを配列してもセンス増幅器をレイアウトすることができることを現すためである。

【0057】即ち、本発明のレイアウト方法は、周辺回路を構成するトランジスタの実際の動作のために形成されるゲートの間及び外部に、実際の動作とは無関係のダミーゲートを配置することを特徴とする。ところが、これらゲートの全てが同じ間隔に分離されて配置されるので、フォト工程とエッチング工程で発生される工程偏差の変化を最小化できる。

【0058】上述した実施の形態では、ゲートの間及び外部にダミーゲートを配置することを示したが、ゲートの間のみにダミーゲートを配置することもできる。

【0059】図8は、従来の方法と本発明の方法によりレイアウトする場合の工程偏差の変化を示すグラフであって、横軸は測定されたゲートの数を示し、縦軸は工程偏差（即ち、測定されたゲートのそれぞれの長さ（ μm ））を示す。

【0060】従来の方法と本発明の方法により配置して製造した後、17個のゲートの工程偏差を測定した結果、従来の方法により配置した場合よりも本発明の方法により配置した場合の工程偏差の変化率が減ることがわかる。下記の表は最大、最小及び平均工程偏差と変化率を数値的に示している。

【0061】

【表1】

	従来の方法	本発明の方法
最大工程偏差（ μm ）	0.234	0.221
最小工程偏差（ μm ）	0.226	0.218
平均工程偏差（ μm ）	0.233	0.223
偏差（ μm ）	0.008	0.003

【0062】前表から、従来の方法よりも本発明の方法によりレイアウトした場合に工程偏差の変化率が0.005 μm 程度減らしていることがわかる。

【0063】上述の実施の形態で、半導体メモリ装置のセンス増幅器のレイアウトを示すことにより、本発明のレイアウト方法を説明したが、このようなレイアウト方法を半導体装置及び半導体メモリ装置の周辺回路のレイアウトのときに適用して工程偏差の変化を最小化できる。

【0064】そして、半導体メモリ装置のセンス増幅器を構成するデータが入力されるトランジスタ、及びセンス増幅器イネーブル信号が入力されるトランジスタ、即ち、図13に示した回路のNMOSトランジスタN1、N2、N3、N4を本発明のレイアウト方法によりレイアウトすると、工程偏差の変化を減らしてしきい電圧のミスマッチを減らすことができる。

【0065】即ち、本発明のレイアウト方法は、半導体装置、及び半導体メモリ装置の周辺回路のレイアウトのときにこれらの回路を構成するトランジスタのゲート間の間隔を全て同様な間隔で配置するためにダミーゲートを追加形成するものである。

【0066】従って、本来形成されたゲートの間と外部（又はあいだに）に同一間隔でゲートを配置することにより、フォトリソ工程とエッチング工程で発生されるトランジスタ間の工程偏差の変化を最小化できる。

【0067】

【発明の効果】以上説明したように、本発明のレイアウト方法は、周辺回路を構成するトランジスタのゲート間の間隔をダミーゲートを用いて同一な間隔で配置することにより、工程偏差の変化を最小化できる。

【0068】そして、工程偏差の変化が最小化されるに従いトランジスタのしきい電圧の変化を減らすことにより、半導体メモリ装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明に係るレイアウト方法による一実施の形態の図12に示したセンス増幅器のレイアウトを示す図である。

【図2】本発明に係るレイアウト方法による他の実施の

形態の図12に示したセンス増幅器のレイアウトを示す図である。

【図3】本発明に係るレイアウト方法による他の実施の形態の図12に示したセンス増幅器のレイアウトを示す図である。

【図4】本発明に係るレイアウト方法による他の実施の形態の図12に示したセンス増幅器のレイアウトを示す図である。

【図5】本発明に係るレイアウト方法による他の実施の形態の図12に示したセンス増幅器のレイアウトを示す図である。

【図6】本発明に係るレイアウト方法による他の実施の形態の図12に示したセンス増幅器のレイアウトを示す図である。

【図7】本発明に係るレイアウト方法による他の実施の形態の図12に示したセンス増幅器のレイアウトを示す図である。

【図8】従来の方法と本発明の方法によりレイアウトされた場合の工程偏差の変化を示すグラフ図である。

【図9】フォトリソ工程における問題点を説明する図である。

【図10】エッチング工程における問題点を説明する図である。

【図11】一般の半導体メモリ装置の実施の形態のレイアウトを示す図である。

【図12】一般のセンス増幅器の回路図である。

【図13】従来のレイアウト方法による図12に示したセンス増幅器のレイアウトを示す図である。

【図14】従来のレイアウト方法による図12に示したセンス増幅器のレイアウトを示す図である。

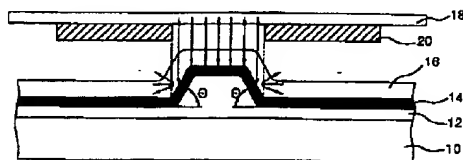
【図15】従来のレイアウト方法による図12に示したセンス増幅器のレイアウトを示す図である。

【図16】従来のレイアウト方法による図12に示したセンス増幅器のレイアウトを示す図である。

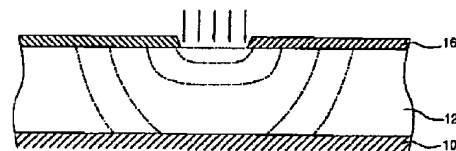
【図17】従来のレイアウト方法による図12に示したセンス増幅器のレイアウトを示す図である。

【図18】従来のレイアウト方法による図12に示したセンス増幅器のレイアウトを示す図である。

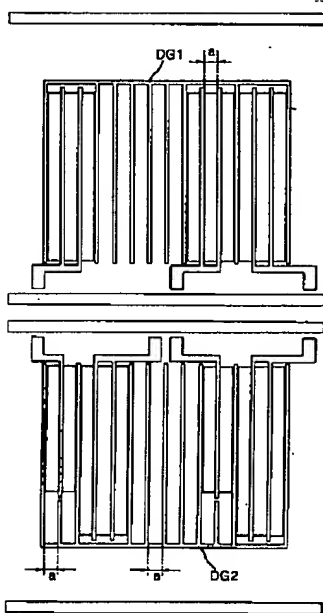
【図9】



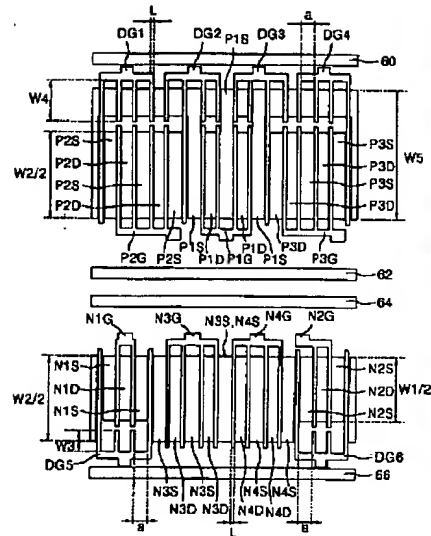
【図10】



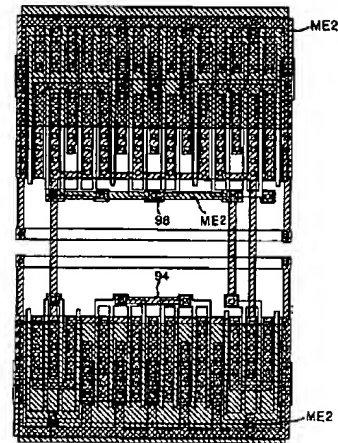
【図1】



【図2】

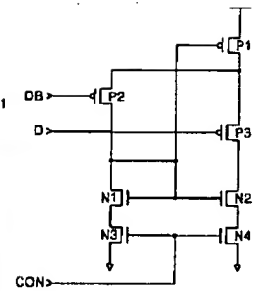
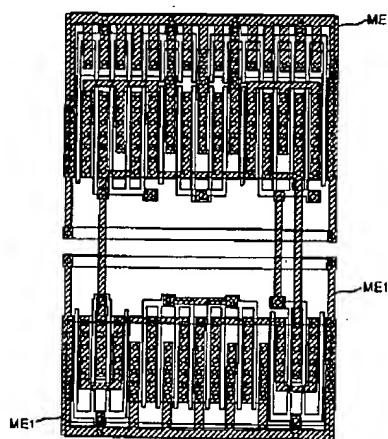


【図6】

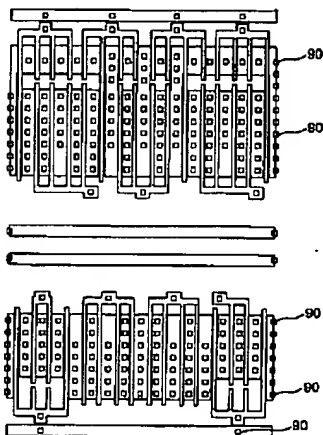


【図12】

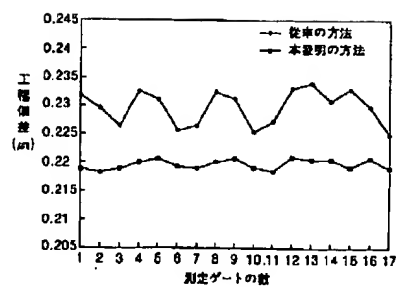
【図4】



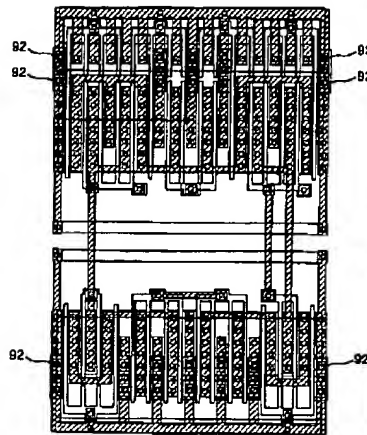
【図3】



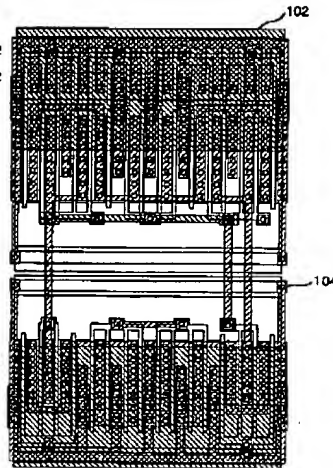
【図8】



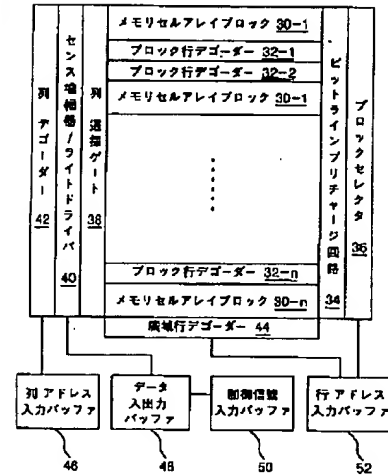
【図5】



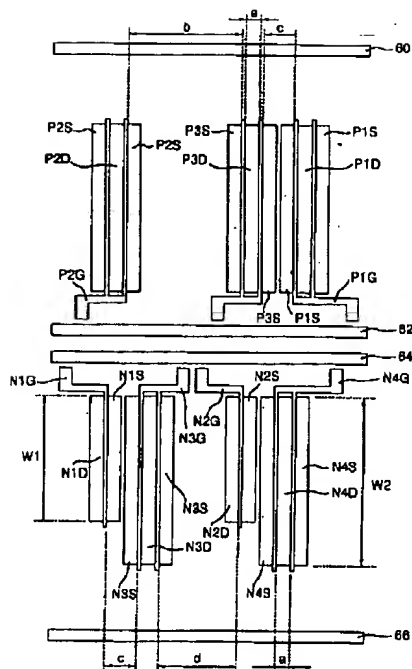
【図7】



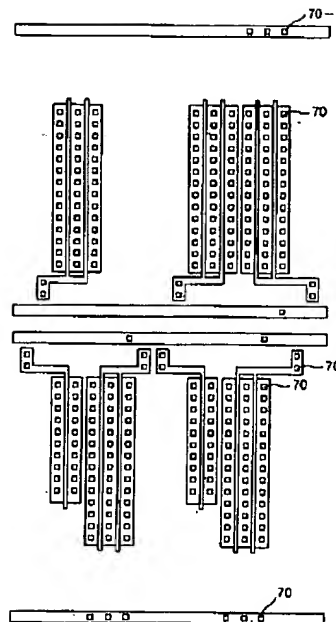
【図11】



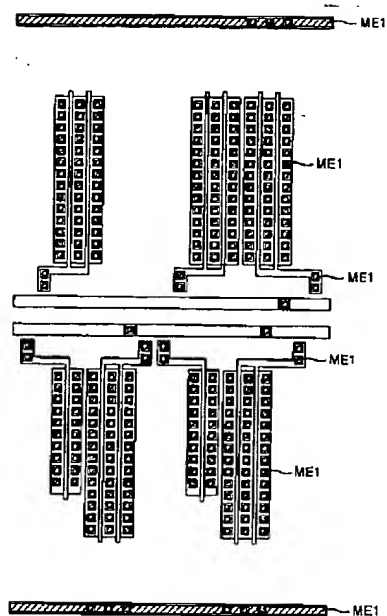
【図13】



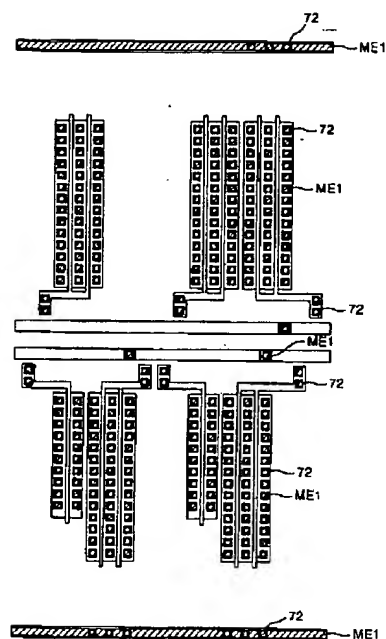
【図14】



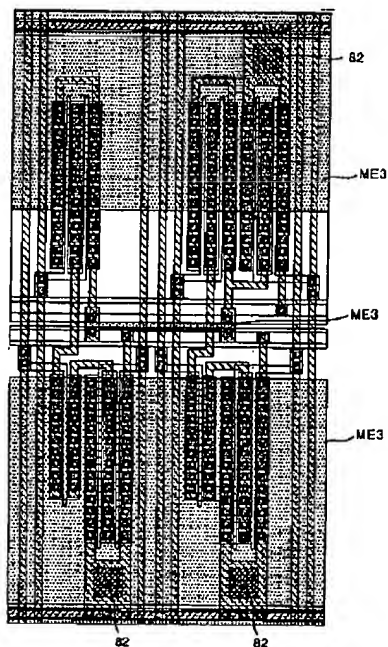
【図15】



【図16】



【図18】



【図17】

